

一种基于相对延时比模型的全数字时钟电路产生器

孙雅芃¹, 谢正章^{2,3}, 赵慧冬^{2,3}, 乔树山^{2,3}, 黑 勇^{2,3}, 张福海¹

(1 南开大学 电子信息与光学工程学院, 天津 300350; 2 中国科学院 微电子研究所, 北京 100029;

3 中国科学院大学, 北京 100049)

摘 要: 设计了一种应用于低功耗领域的基于相对延时比模型的全数字时钟生成器, 解决了环形振荡器产生振荡周期受到工艺偏差、环境温度偏移和供电电压抖动等因素影响的问题。该时钟生成器由相对延时比生成器、映射译码单元和数字控制振荡器组成。一款 10~40 MHz 频率可调节的全数字时钟电路生成器基于 smic180 nm CMOS 工艺库, 整个芯片面积(除 IO pad)为 1.02 mm²。测试结果表明, 当目标频率设定为 25 MHz, 在供电电压在 1.6~2 V, 环境温度在 0~80℃变化时, 该时钟生成器的最大输出频率误差为 3%, 输出时钟相位噪声在 1 MHz 频偏处为 -114.82 dBc/Hz, 具有良好的频率稳定性。

关键词: 低功耗; 全数字; 时钟生成器; 相对延时比模型

中图分类号: TN492

文献标识码: A

文章编号: 1000-7180(2017)06-0049-05

An All-Digital Clock Generator Using Relative Delay Ratio Modeling

SUN Ya-peng¹, XIE Zheng-zhang^{2,3}, ZHAO Hui-dong^{2,3}, QIAO Shu-shan^{2,3},
HEI Yong^{2,3}, ZHANG Fu-hai¹

(1 College of Electronic Information and Optical Engineering, Nankai University, Tianjin 300350, China;

2 Institute of Microelectronics, Chinese Academy of Sciences, Beijing 100029, China;

3 University of Chinese Academy of Sciences, Beijing 100049, China)

Abstract: Using the relative delay ratio modeling, an all-digital clock generator which is used for low power applications is proposed. It overcomes the effects of process, voltage and temperature (PVT) variations. The clock generator is composed of delay ratio evaluator, mapper block and digitally controlled oscillator. A 10~40MHz adjustable clock generator is implemented in smic 180nm CMOS technology with 1.02mm² (excluding IO pad). The measured results show that the worst output frequency error is less than 3% at 25MHz, with 1.6~2V supply voltage, 0~80℃ temperature variation. The phase noise of output clock is -114.82dBc/Hz at 1MHz offset with high stability performance.

Key words: low power; all digital; clock generator; relative delay ratio modeling

1 引言

在数字电路设计中^[1], 时钟信号的作用是使电路中发生的多个事件有序进行, 所以时钟电路是现代数字电路中关键电路之一。

在无线传感器节点应用领域中^[2], 由于其应用特性, 对芯片功耗提出较高要求, 对时钟信号的精准

度要求不高, 所以低功耗、高集成度的片上时钟生成器非常适合应用在无线传感网系统。

但是传统的时钟电路^[3-5], 例如石英晶振, 由于制造工艺的原因不能够和 CMOS 工艺相兼容, 且其体积较大, 还需增加外围的阻容元件, 进一步增加了整个时钟单元的体积开销和功耗开销。使用 CMOS 工艺 MOS 管虽然是可以兼容的, 但其振荡周期的

抖动绝对差范围较大. 在模拟电路中^[6], 时钟生成单元可以使用无源器件例如电阻进行修正. 不适合本文中提出的全数字的设计要求.

本文中提出的全数字时钟生成器使用相对延时比模型用来估计环形振荡器的振荡周期, 从而保留了工艺偏差、温度漂移和供电电压抖动对频率稳定性的影响信息. 同时该电路具有两个很好的特性: 其一是使用数字单元库中的标准单元进行综合, 结构可以直接嵌入到已有的设计中直接使用; 其二是该时钟电路是频率可调的, 所以可以适应不同系统要求, 无需外界时钟信号, 达到降低芯片功耗的目的.

2 相对延时比模型

2.1 CMOS 数字单元受到 PVT 的影响

现代数字集成电路频繁使用 CMOS 工艺^[7-8], 但是却很少考虑补偿 CMOS 工艺所组成的数字单元在某种程度上会受到工艺偏差、使用环境温度漂移和供电电压抖动的影响. 基于数字集成电路设计, 尤其是使用硬件描述语言做设计, 工作目标在于实现逻辑功能, 并不涉及对其门电路物理特性的使用.

如图 1 所示, 由奇数个反相器所构成的环形振荡器所振荡出的频率受到 PVT 的影响非常明显. 在三个不同的工艺角下, 振荡周期是很离散, 即使是在同一个工艺角下, 由于温度漂移的原因, 也可以知道振荡的周期不是聚合的. 如果使用上面的环形振荡器代替现有的时钟信号, 单从频率的稳定方面来讲, 这样的结果是不可以接受的.

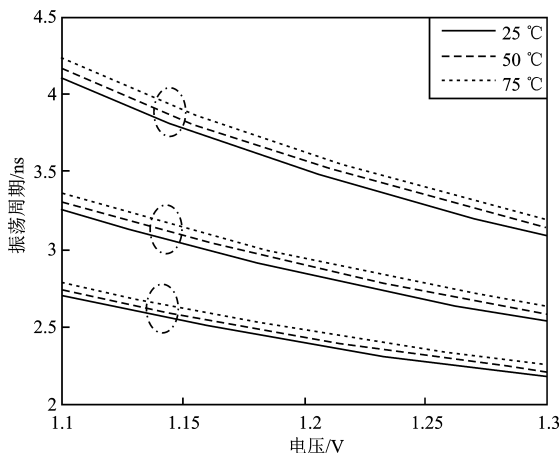


图 1 数字单元受到 PVT 的影响

如果可以时时获得环振基本单元的延时信息, 那么就可以在某种程度上稳定环振所产生的振荡周期, 所以为了达到这个目的, 本文采用了相对延时比模型.

2.2 相对延时比模型原理

本文利用相对延时比模型实现时钟生成单元, 以此模型可以解决环形振荡器所产生的频率不稳定性问题. 实现的基本思路是使用两个延时信息不同的环形振荡器, 该模型可以估算环形振荡器的周期, 以此可以计算出该环振单元的传播延时. 用若干个该单元构成的环振就可以稳定到达系统提出的时钟频率要求.

在不同的 PVT 情况下, 规定两个环形振荡器分别为参考环形振荡器单元 (Reference Delay Unit, RDU) 和控制环形振荡器单元 (Control Delay Unit, CDU). RDU 产生的振荡周期为 $D_r(P, V, T)$, 而 CDU 产生的振荡周期为 $D_c(P, V, T)$. 通过对这两个矩阵做比值运算, 就可以获得相对延时比, 即:

$$Ratio(P, V, T) = \frac{D_r(P, V, T)}{D_c(P, V, T)} \quad (1)$$

通过对延时比和 CDU 产生的振荡周期进行数据分析, 如图 2 可知两者具有某种函数关系, 即:

$$D_c(P, V, T) = \sum_{\alpha} c_{\alpha} R^{\alpha}(P, V, T) \quad (2)$$

式中, c 代表的是拟合函数的系数, 而 R 就是式 (1) 所指的相对延时比值 $Ratio$. 如果可以获得 $Ratio$ 的数值, 就可以知道在此时情形下, 控制环形振荡器单元的延时情况.

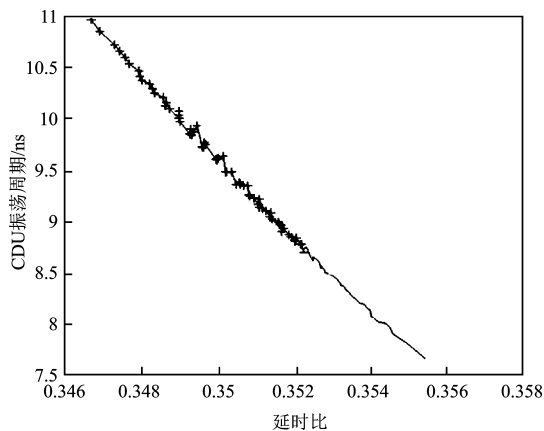


图 2 相对延时比模型

所以首要解决的问题是如何获得相对延时比值. 关键在于获知两个环形振荡器的振荡周期. 没有外部时钟信号, 导致无法使用传统的办法获知两个环振的振荡周期. 本文提出一种在不使用外部时钟信号的前提下获得延时比值的方法.

如图 3 所示, 使用控制延时单元作为基准信号, 规定了这个单元的脉冲个数 (N_c), 同时要求对参考

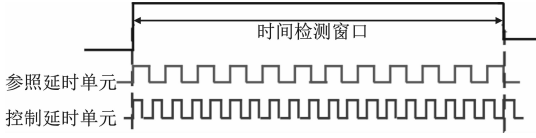


图3 获得延时比方法

延时单元在控制延时单元计数的时间内(时间检测窗口 T) 对其自身进行脉冲个数计数(N_r)。

控制环形振荡器的振荡周期可以表示为

$$D_c(P, V, T) = \frac{T}{N_c} \quad (3)$$

参考环形振荡器的振荡周期可以表示为

$$D_r(P, V, T) = \frac{T}{N_r(P, V, T)} \quad (4)$$

最终相对延时比值是:

$$R(P, V, T) = \frac{N_c}{N_r(P, V, T)} \quad (5)$$

通过使用对其进行脉冲计数的方式获知比值,从而解决了需要有外接时钟信号的需求。

通过片上测试,可以测量出在不同的条件下,两个环形振荡器的振荡周期。从而可以计算得到公式要求的拟合函数系数。结合上述的利用脉冲计数方式得到的相对比值,就可以计算出在使用环境中 CDU 振荡频率 $\tilde{D}_c(P, V, T)$ 。

最终可以得知 CDU(由 N 个反相器环链构成)中延时单元的传播延时信息 $t_p(P, V, T)$, 即:

$$t_p(P, V, T) = \frac{\tilde{D}_c(P, V, T)}{2 \cdot N} \propto \tilde{D}_c(P, V, T) \quad (6)$$

若系统要求时钟频率为 f_w , 所以就要求有 $codeword$ 个具有传播延时为 $t_p(P, V, T)$ 的反相器, 即:

$$\begin{aligned} codeword(P, V, T) &= \frac{1}{2 \cdot f_w \cdot t_p(P, V, T)} \\ &\propto \frac{1}{\tilde{D}_c(P, V, T)} \end{aligned} \quad (7)$$

从公式中可以知道,由于 CDU 振荡频率 $\tilde{D}_c(P, V, T)$ 受到 PVT 的影响,所以得到的传播延时信息 $t_p(P, V, T)$ 也会受到 PVT 影响。

最终用于产生时钟信号的反相器个数 $codeword(P, V, T)$ 也是受到 PVT 影响。

$$T_{DCO} = 2 \left[\frac{N}{f_w \cdot \tilde{D}_c(P, V, T)} \right] \cdot \frac{\tilde{D}_c(P, V, T)}{2N} \quad (8)$$

但正是由于存在这种相互依赖关系,即使工艺偏差、温度偏移和供电电压抖动存在,由于单元传播延时与 CDU 振荡周期有正比例关系(如式(6)),而控制码字与 CDU 振荡周期有反比例关系(如式(7)),所以最终的振荡频率在一定程度上是不受到 CDU 振荡周期不稳定性影响的(如式(8)),即其振荡频率是稳定的。

3 系统架构

本文所示的结构,旨在通过片上集成时钟生成电路替代传统外接石英晶振时钟生成电路。同时提出的时钟生成器是全数字实现,在目前 CMOS 工艺下有很好的兼容性和复用性。此电路一共有三部分组成,分别是:相对延时比生成器、映射译码生成器和数字控制振荡器。

如图4所示,除了需要上面提及的三个模块单元,还需要辅助测试模块以将拟合参数和期望时钟频率等数值打入到芯片之中。

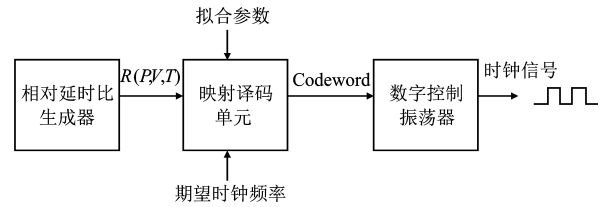


图4 系统框图

3.1 相对延时比生成器

相对延时比生成器模块的主要作用是生成相对延时比值 $R(P, V, T)$, 用以配合映射译码模块工作。如图5所示。

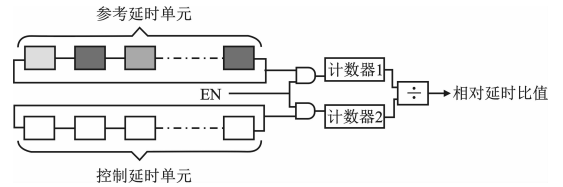


图5 相对延时生成器

本单元用两个不同类型的器件组成环形振荡器。如图5所示,分别使用了延时单元和控制延时单元两种类型的环形振荡器。之所以用两个不同类型的器件,其目的有二:第一是可以使得比值具有较多可分辨的范围;第二是延时区别度较大的器件之间和延时比之间的线性拟合关系更明确。

图3所示为获得延时比方法,通过在相同的时间内对两个环形振荡器进行脉冲计数,就可以获得

此时的相对延时比.

3.2 映射译码生成器

映射译码生成器模块的主要功能有两个:其一是获知 CDU 单元的延时信息,其二是计算出期望时钟周期的控制码字.

如图 6 所示:通过图右半部分可知,当获得此时的相对延时比值 R ,在确定的拟合函数情况下,是可以计算得出 CDU 单元的延时信息 t .

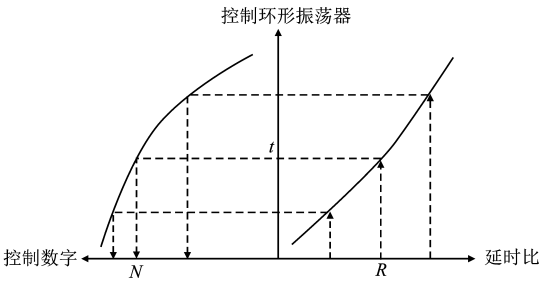


图 6 映射译码生成器示意图

通过图左半部分可知,当获知 CDU 单元的延时信息 t ,结合已知的期望周期 T ,就可以获知需要多少个 CDU 单元组成环形振荡器,以此产生需要的时钟频率.

3.3 数字控制振荡器

数字控制振荡器模块的主要功能是产生最终可以使用的时钟信号.

如图 7 所示,用若干个反相单元组成具有可选择个数链的结构.通过映射译码单元所得到的控制码字,数字控制振荡器能振荡得到的时钟频率是:

$$f = \frac{1}{2 \cdot [\text{codeword}(P,V,T)] \cdot t_p(P,V,T)} \tag{9}$$

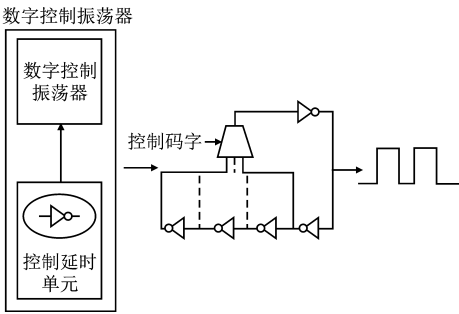


图 7 数字控制振荡器示意图

通过控制码字的变化,从而控制了环路中参与形成环形振荡器的输出,最终可以产生频率不同的时钟信号.

为了降低数控振荡器内部负载带来的额外延时,在实际设计中数控振荡器采用延时单元分组方

式来减少多路选择器,从而在保证数控振荡器功能的前提下简化了负载,并使版图的布局布线更加容易.

4 测试结果

对所提出的全数字时钟生成器使用 smic180 nm 工艺库进行流片和测试,可以提供 10~40 MHz 的可调时钟频率.测试环境的温度范围 0~80℃,供电电压范围为 1.8~2 V,利用示波器和频谱仪对其进行测试.理论上可知误差来源分别有:模型误差 e_{modeling} 、量化误差(quantization)和数字控制振荡器分辨率误差(resolution),其最大误差为

$$\begin{aligned} \max_error = & \max(e_{\text{modeling}}) \\ & + \max(\text{quantization}) + \\ & \max(\text{resolution}) \end{aligned} \tag{10}$$

式中,量化误差和数字控制振荡器分辨率误差是由系统的结构确定的,而模型误差是由环振对的相对延时比确定的.小的模型误差是保证时钟生成器精度的基础.通过对环振对进行不同工艺角仿真,对其模型误差值进行统计分布分析.模型误差的计算方法为

$$e_{\text{modeling}} = \frac{\tilde{D}_c(P,V,T) - D_c(P,V,T)}{\tilde{D}_c(P,V,T)} \tag{11}$$

式中, $\tilde{D}_c(P,V,T)$ 是通过相对延时比模型估算出的 CDU 的延时信息.

图 8 为实际测试中,CDU 和延时比的数据对应关系.由图可见,相对延时比模型能够较完美地拟合出一条曲线,符合设计需求.

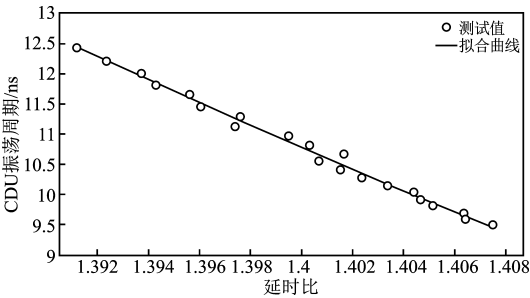


图 8 实际的相对延时比模型

图 9 显示了将目标频率设定为 25 MHz 时,时钟生成器所输出的频率误差绝对值.从图中可以看到,虽然供电电压和环境温度在变化,但是输出频率依旧稳定在 25 MHz 左右,最大频率误差为 3%.

从图 10 可以看出,输出时钟在 100 kHz 的相位噪声为 -92.40 dBc/Hz,在 1 MHz 的相位噪声为

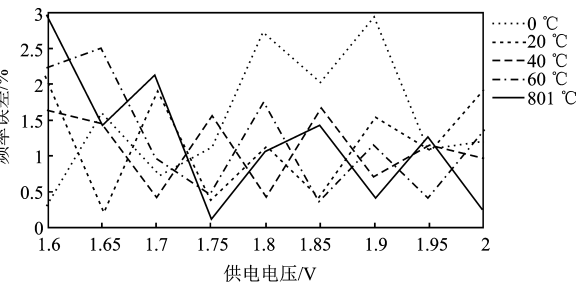


图 9 频率误差绝对值分布图

—114.82 dBc/Hz,具有较低的相位噪声. 因此,该数字时钟生成器有着良好的时钟稳定性.

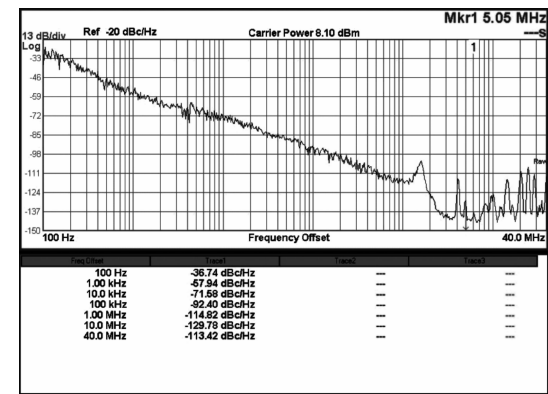


图 10 相位噪声

5 结束语

本论文所提出的全数字自校准时钟生成器的研究目标在于完成一款可以替代传统外接时钟电路功能、具备片上集成能力的 CMOS 工艺的芯片. 该时钟生成单元具有很好的抗 PVT 影响的能力,同时利用数字标准单元完成具体设计,具有很好的工艺兼容性.

参考文献:

[1] Jiménez Naharro R, Gómez Galán J A, Sánchez-Raya M, et al, Design and implementation of a new real-time frequency sensor used as hardware countermeasure[J]. nsors (Basel), 2013,13(9): 11709-11727.

[2] Gautam D, Macha H, Kumar M. A cognitive approach for safe sodium phosphate enema administration by implementing wireless body area network[J]. International Journal of Computer Applications, 2012,57(13):1-4.

[3] Chung C C , Li J W. An all-digital on-chip silicon oscillator with automatic VT range selection relative modeling[C]// IEEE Int. Symposium Circuits System. IEEE,2013 :2682-2685.

[4] Coke P V. Study and implementation of a PVT insensitive CMOS oscillator [EB/OL]. [2016-03-08]. <https://repositorio-aberto.up.pt/handle/10216/90116>.

[5] Tsai C , Li W , Chen P . On-chip reference oscillators with process, supply voltage and temperature compensation[C]// International Symposium on Next-generation Electronics. IEEE, 2010.

[6] Tokunaga Y. An on-chip CMOS relaxation oscillator with voltage averaging feedback[J]. IEEE Journal of Solid-State Circuits, 2010, 45(6):1150-1158 .

[7] Dutta S, Shetti S, Lusky S. A comprehensive delay model for CMOS inverters[J]. IEEE Journal of Solid-State Circuits, 1995, 30(8):864-871.

[8] Bisdounis L. Analytical transient response and propagation delay evaluation of the CMOS inverter for short-channel devices[J]. Solid-State Circuits, IEEE Journal of, 1998, 33(2):302-306.

作者简介:

孙雅芃 女,(1992-),硕士研究生. 研究方向为大规模数字集成电路设计.

谢正章 男,(1989-),硕士. 研究方向为全数字低功耗集成电路设计.

赵慧冬 女,(1984-),博士. 研究方向为数字集成电路设计、电力线通信系统的调制技术.

乔树山(通讯作者) 男,(1981-),博士,副研究员. 研究方向为数字集成电路设计、无线通信、电力线载波通信. E-mail:qiaoshushan@ime.ac.cn.

黑 勇 男,(1974-),博士,研究员. 研究方向为无线通信系统中的编码调制技术、低功耗处理器技术和专用集成电路技术.

张福海 男,(1963-),博士,副教授. 研究方向为集成电路、传感器与智能系统.